

1 综述

LPC802 是 LPC800 系列的新成员，它对于系统功耗进行了全方位的优化。它是从八位体系结构向 32 位体系结构迁移的理想产品，LPC802 系列成本非常低。拥有高达 15MHz 的 Cortex-M0+核，16 kB 的闪存和 2 kB 的 RAM，适用于 I/O 扩展器、小型可编程逻辑单元等。此应用笔记讨论了 LPC802 作为 IO 扩展器应用的可能性。

LPC802 采用 Arm® Cortex®-M0+ 核，可以进行单周期的 I/O 切换操作。它适合使用 LPC802 作为 I/O 扩展器。这种装置广泛应用于：

- 工厂自动化和过程控制
- 便携式和电池操作设备
- 蜂窝数据设备

有关 I/O 扩展器的更多信息，请参见以下文档：

- *8-bit I/O expander with I2C-bus/SPI interface* (文档 [PCA9502](#))
- *Remote 16-bit I/O expander for I2C-bus with interrupt* (文档 [PCA8575.pdf](#))

NXP 通用 IO 扩展器选择指南可以参考 [I²C General Purpose I/O](#)。

本应用笔记讲解了如何使用 LPC802 的 I2C 总线接口来模拟市场现有的 IO 拓展设备。它提供以下信息：

- 一般描述，内存资源和引脚布局和可用的外设
- GPIO 操作和引脚中断系统
- I2C 总线模块的使用，特别是对于 I2C 总线从机模式

注意

需要了解 I2C 总线的基本知识。有关 I2C 总线规范，请参见 [Specification - I2C Bus](#)。

2 硬件

2.1 MCU 综述

LPC802 是基于 Arm Cortex-M0+ 的低成本 32 位 MCU 系列的 MCU，CPU 频率高达 15 MHz。它支持 16 kB 的闪存和 2 kB 的 SRAM。LPC802 有 TSSOP16、TSSOP20、HVQFN33 和 WLCSP16 封装。此外，双电源架构提供 1.8 到 3.3 V 电平兼容功能，减少了相应的外部部件，降低了系统总 BOM 成本。

LPC802 的外设包括：

- 一个 I2C 总线接口
- 最多两个 USART
- 一个 SPI 接口
- 一个多速率计时器

目录

1	综述.....	1
2	硬件.....	1
2.1	MCU 综述.....	1
2.2	硬件和外部连接.....	2
3	软件.....	3
3.1	I2C 总线接口编程.....	3
3.2	I/O 扩展器寄存器的定义.....	4
3.3	通信协议.....	5
3.4	总结.....	5
4	测试和结果.....	6
4.1	环境设置.....	6
4.2	硬件和连接.....	6
4.3	测试步骤和结果.....	7
5	总结.....	7



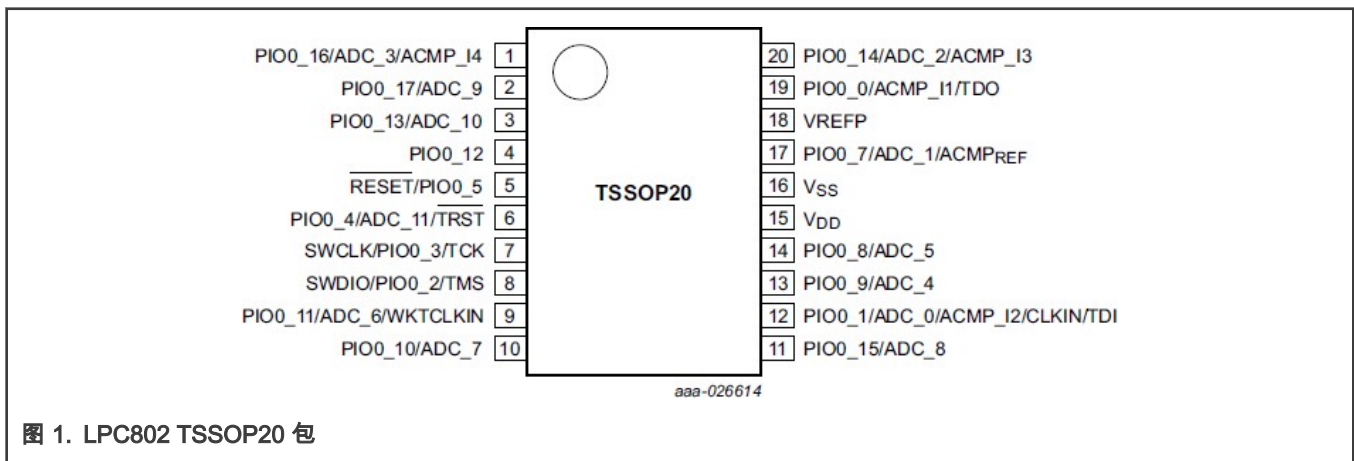
- 一个自唤醒计时器
- 一个通用的 32 位计数器/计时器
- 一个 12 位 ADC
- 一个模拟比较器
- 功能可配置的 I/O 端口通过一个开关矩阵
- 多达 17 个通用 I/O 管脚
- 三个 I/O 引脚具有高驱动能力，提供高达 20 mA 的源电流

2.1.1 GPIO 和封装信息

LPC802 提供五种不同类型的封装:

- TSSOP20：这个封装最多提供 17 个 GPIO
- 带 VDDIO 引脚的 TSSOP20：引脚 2 (PIO_0_17) 被 VDDIO 引脚取代，VDDIO 引脚是数字 I/O 的单独电源引脚。它使 GPIO 的工作电压水平与主 VDD 隔离。因此，这个封装可以提供最多 16 个 GPIO。
- TSSOP16：这个封装最多提供 13 个 GPIO
- HVQFN33：这个封装最多提供 17 个 GPIO
- WLCSP16：这个封装最多提供 13 个 GPIO

在本应用笔记中，我们选择了 LPC802 TSSOP20 封装。



2.1.2 I2C 总线特征

在这个应用笔记中，LPC802 有一个 I2C 总线接口，用于从机模式。I2C 总线接口特性如下:

- 独立的主机、从机和监视功能
- 支持多主机和多主机从机功能
- 硬件支持多个 I2C 总线从机地址
- 为了响应多个 I2C 总线地址，一个从机地址可以有选择地用一个位掩码或一个地址范围限定。

在此应用中，I2C0 配置为从模式，作为 I/O 扩展器设备的通信接口。

2.2 硬件和外部连接

硬件连接很简单，只需要使用两个引脚。

- I2C_SDA: P0_10

- I2C_SCL: P0_16

I2C 总线需要两个 4.7 kΩ 上拉电阻的 SDA 和 SCL 线。

- 在这个应用实例中，GPIO 接口最多支持八个引脚：PIO0.0 – PIO0.7，但是因为 LPC802 没有 PIO0.6 路引出，所以总共支持七个引脚。

注意

PIO0.2、PIO0.3、PIO0.4 默认为 SWDIO、SWDCLK 和 RESET 引脚。它们没有配置为 GPIO。在示例代码中，这三个引脚在初始化中需要配置为 GPIO。如果用户需要将附件中的代码下载到开发板上，唯一的方法是握住 ISP0 引脚并重新给板供电。使 MCU 进入 ISP 模式，代码就可以正常下载。

对于 GPIO 时序规范，请参阅 *8-bit I/O expander with I2C-bus/SPI interface* (文档 PCA9502)。

- IRQ 引脚: 如果某一个 GPIO 引脚能够产生一个中断，并且在其输入处有一个电平变化，IRQ 引脚将产生一个 10 μs 脉冲。

3 软件

3.1 I2C 总线接口编程

在此应用中，I2C 总线配置为从机功能。要使用 I2C 总线模块，在使用它之前必须执行正确的初始化步骤。它包括时钟门控制、时钟路由、引脚复用器等。下面的代码片段显示了初始化 I2C 总线和启用 I2C 总线中断：

```

1 void app_i2c_slave_init(uint8_t slv_addr)
2 {
3     /* pin mux */
4     ConfigSWM(I2C0_SDA, P0_10);
5     ConfigSWM(I2C0_SCL, P0_16);
6
7     /* using main clock */
8     LPC_SYSCON->I2C0CLKSEL = 1;
9
10    /* give I2C a reset */
11    LPC_SYSCON->PRESETCTRL[0] &= (I2C0_RST_N);
12    LPC_SYSCON->PRESETCTRL[0] |= ~(I2C0_RST_N);
13
14    /* I2C PCLK is AHBCLK div by 3 */
15    LPC_I2C0->DIV = 2;
16    LPC_I2C0->CFG = CFG_MSTENA | CFG_SLVENA;
17
18    /* set i2c slave address */
19    LPC_I2C0->SLVADR0 = (slv_addr << 1) | 0;
20
21    // Enable the I2C0 slave pending interrupt
22    LPC_I2C0->INTENSET = STAT_SLVPEND | STAT_SLVDESEL;
23    NVIC_EnableIRQ(I2C0_IRQn);
24 }

```

I2C 总线从机操作由软件中断处理完成。使用了两种主要的 I2C 总线中断源：

- SLVPENDING：指示从机用功能正在等待 I2C 总线上继续通信，需要软件干预
- SLVDESEL：停止条件发生或总线上的新地址与当前从机地址不匹配

在 I2C 中断中，软件会检查中断状态寄存器。当停止条件发生时，生成 SLVDESEL。软件向主线程发送一条消息来处理更多的操作，例如，将接收到的数据写入 NVM。生成 SLVPENDING 后，软件检查 I2C0->STAT 寄存器中 SLVSTATE 字段的状态码，确定下一步操作。

SLVSTATE = 0X00 (接收并匹配从机地址)

- 软件通过读取 SLVDATA 记录地址，判断是读操作还是写操作

- SLVSTATE = 0X01 (从机收到一个新字节)
- 软件应该读取 SLVDATA 以获得传输的数据并存储在 RAM 中。然后在 SLVCTRL 寄存器中设置 CTL_SLVCONTINUE 位，让 I2C 总线硬件继续处理总线转换
- SLVSTATE = 0X02 (从机需要传送一个新字节给主机)

软件将数据送入 SLVDATA，然后在 SLVCTRL 寄存器中设置 CTL_SLVCONTINUE 位，让 I2C 总线硬件继续处理总线转换。

3.2 I/O 扩展器寄存器的定义

寄存器定义如表 1 所示：

表 1. I/O 扩展器寄存器概述

寄存器名称	地址	读入模式	写入模式
IODir	0X0A	I/O 引脚方向	I/O 引脚方向
IOState	0X0B	I/O 引脚状态	I/O 引脚逻辑电平
IOIntEna	0X0C	I/O 中断启用	I/O 中断启用

3.2.1 I/O 引脚方向寄存器 (IODir)

该寄存器用于设置输入输出引脚方向。位 0 至位 7 控制 GPIO0 – GPIO7。

表 2. I/O 引脚方向寄存器

位	符号	描述
7:0	IODir	设置 GPIO 引脚 7:0 为输入或输出 0 = 输入 1 = 输出

3.2.2 I/O 引脚状态寄存器 (IOState)

读取时，该寄存器返回所有 I/O 引脚的实际状态。写入时，每个寄存器位将被传输到相应的 I/O 引脚，并被编程为输出。

表 3. I/O 引脚状态寄存器

位	符号	描述
7:0	IOState	写入该寄存器；在输出引脚上设置为逻辑电平 0 = 设置输出引脚为 0 1 = 设置输出引脚为 1 读取该寄存器：返回所有引脚的状态

3.2.3 I/O 引脚中断使能寄存器 (IOIntEna)

由于配置为输入的 I/O 发生变化，该寄存器启动中断。

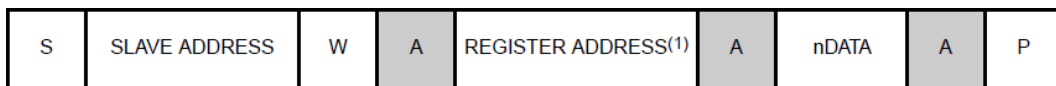
表 4. I/O 引脚中断使能寄存器

位	符号	描述
7:0	IOIntEna	输入中断启动 0 = 输入引脚的变化不会产生中断 1 = 输入的变化会产生中断 当产生中断时，IRQ 引脚会产生 10 μs 高电平脉冲。

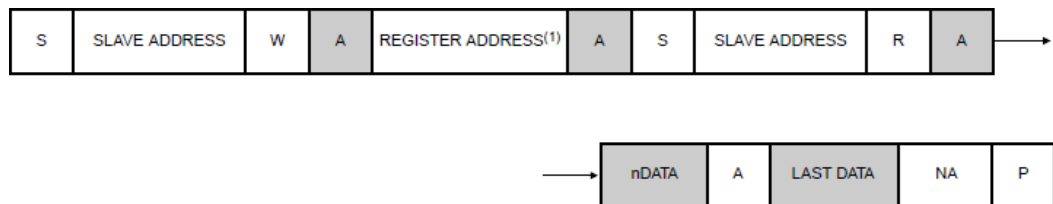
3.3 通信协议

I2C 总线的 R/W 时序与 PCA9502 相同。

- 主机写入从机 (写入寄存器)



- 主机从机读取数据 (读取寄存器)



白色块：主机到 LPC802

灰色块：LPC802 到主机

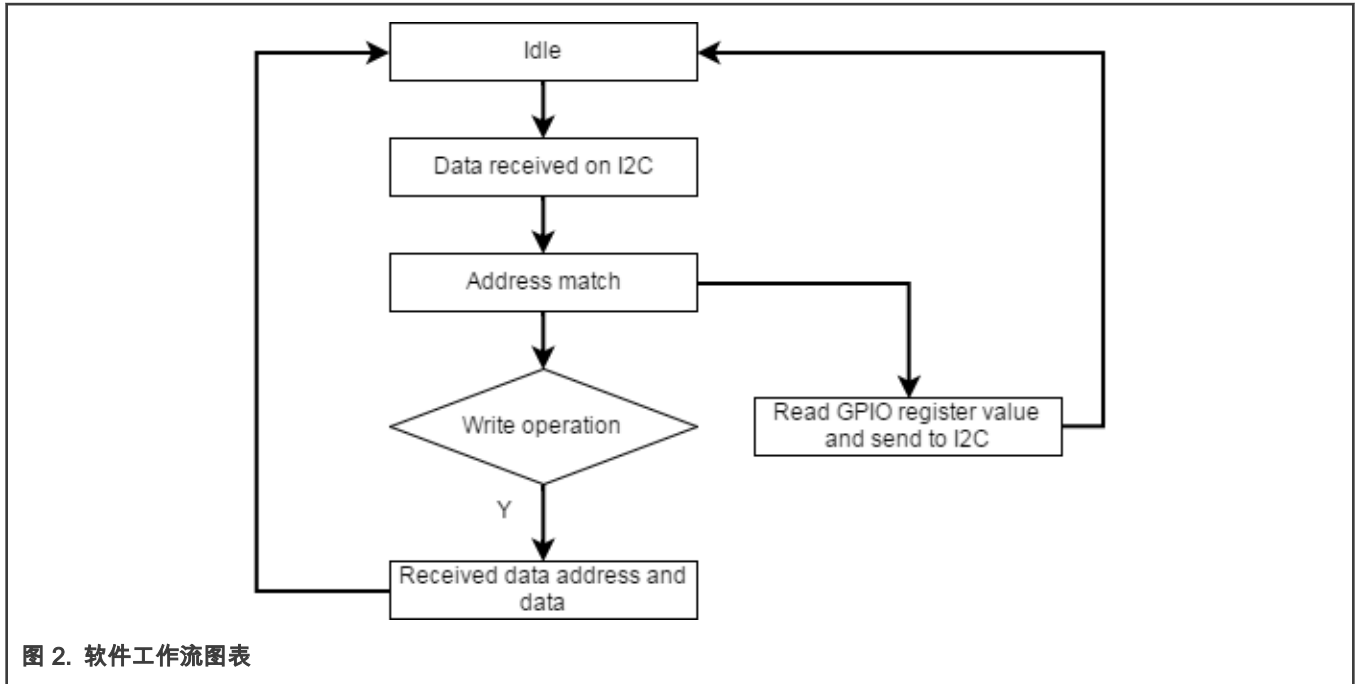
注意

对于写操作，一个写序列只能写一个寄存器。对于读序列，读数据长度没有限制。数据读取始终代表最新的寄存器内容。

3.4 总结

对于从机地址，我们选择 0X13 与 PCA9502 兼容。

对于软件架构，使用标准前后台系统。仅 I2C -总线中断使能。软件等待 I2C-总线转换，一旦产生 I2C-总线中断，软件处理上半部分的进程，并将消息推送到下半部分任务的主线程。主线程处理诸如将数据写入 GPIO 寄存器的任务。图 2 显示了软件工作流程。

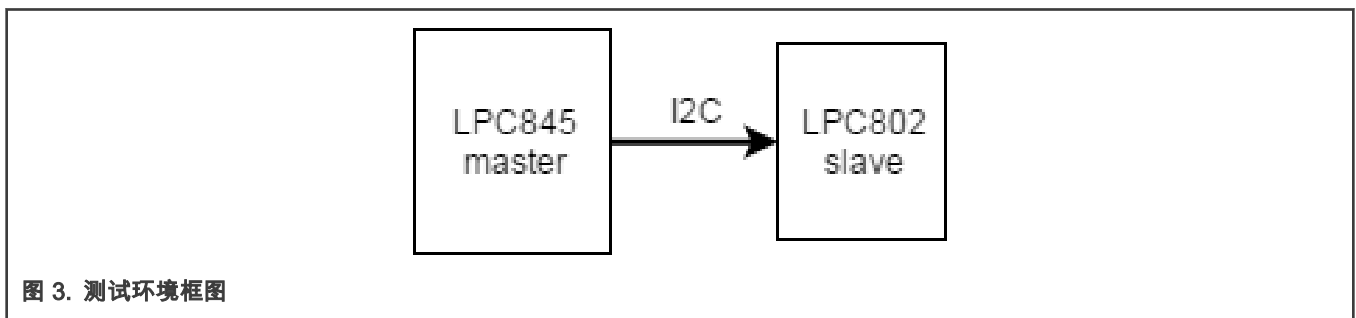


4 测试和结果

4.1 环境设置

在本节中，使用 LPC845 作为主机，通过预定义的 I2C-总线接口读取/写入 LPC802，构建了一个测试环境。参见 [I2C 总线接口编程](#)。

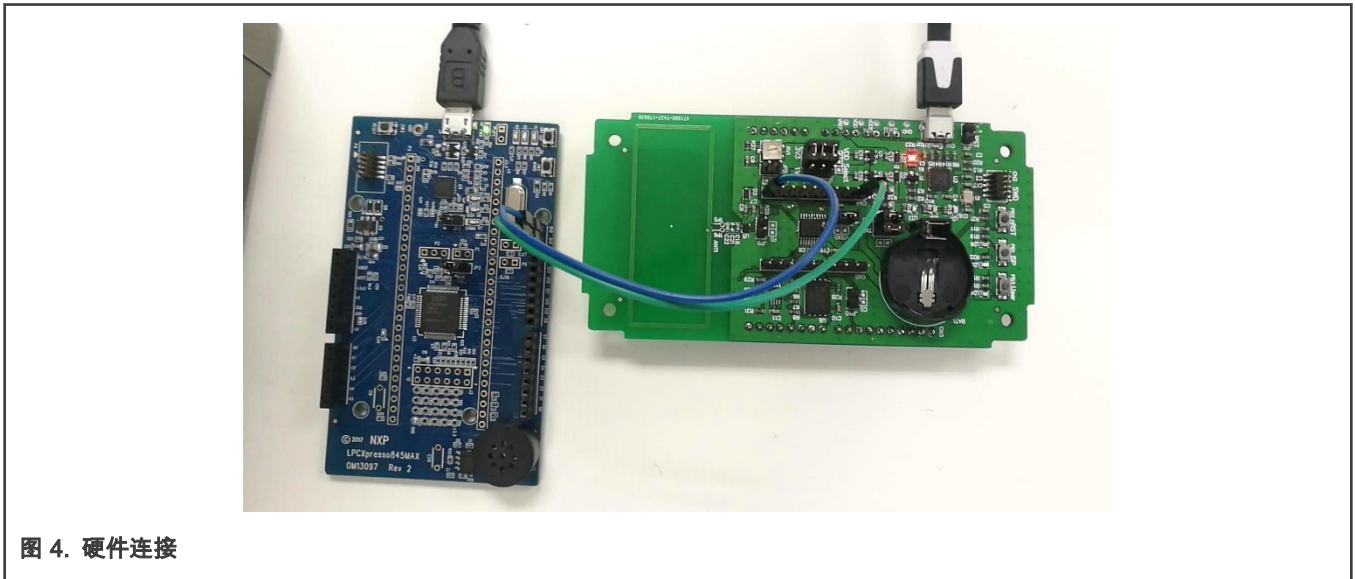
图 3 显示了测试环境的框图。



4.2 硬件和连接

- 主机：LPC845 XpressoMAX 板
 - I2C_SDA: P0_11
 - I2C_SCL: P0_10
- 从机：LPC802 演示板
 - I2C_SDA: P0_10
 - I2C_SCL: P0_16
 - 一个低功率发光二极管连接在 PIO0_1 和 GND 之间，以查看测试结果。

图 4 显示了硬件连接。



4.3 测试步骤和结果

1. 按照[硬件和连接](#)所述准备和连接硬件。
2. 将固件下载到每个主板：
 - 对于主演示项目 (LPC845)：编译项目在 sources/lpc845_io_expander_master.zip 下并将镜像下载到 LPC845 板，或者在/bin/lpc845_io_expander_master_test.bin 下下载预编译的镜像到 LPC845 中。
 - 对于从属固件项目(LPC802), 编译项目在 lpc802_io_expander_slave.zip 下并将镜像下载到 LPC845 板或在 /bin/lpc802_io_expander_slave.bin 下下载预编译的镜像下载到 LPC802 中。

LPC845 会将引脚方向寄存器设置为 0XFF (所有引脚输出)，并将 0X00 写入引脚状态寄存器约 500 ms，然后在接下来的约 500 ms 内写入 0XFF。这意味着引脚 0 至引脚 7 将以 1 Hz 切换，这使得连接到 P0_1 的 LED 以 1 Hz 闪烁。

5 总结

本应用笔记主要讨论以下主题：

- LPC802 的一般功能：包括 GPIO、引脚中断和示例代码
- LPC802 I2C-总线特性、从模式、关于如何编写软件与 I2C-总线模块协同工作以及如何处理 I2C-总线转换的知识
- 用一个演示软件，使用 LPC802 作为 I/O 扩展器来演示上述两个功能
- 基于 LPC845 Xpresso 板的测试演示，充当 I2C-总线主控器与 LPC802 通信，还提供源代码和项目文件

本演示帮助用户了解如何将 LPC802 用作具有 ADC 接口、多通道混合信号和功能可扩展的智能设备。

How To Reach Us

Home Page:

nxp.com

Web Support:

nxp.com/support

Limited warranty and liability — Information in this document is provided solely to enable system and software implementers to use NXP products. There are no express or implied copyright licenses granted hereunder to design or fabricate any integrated circuits based on the information in this document. NXP reserves the right to make changes without further notice to any products herein.

NXP makes no warranty, representation, or guarantee regarding the suitability of its products for any particular purpose, nor does NXP assume any liability arising out of the application or use of any product or circuit, and specifically disclaims any and all liability, including without limitation consequential or incidental damages. “Typical” parameters that may be provided in NXP data sheets and/or specifications can and do vary in different applications, and actual performance may vary over time. All operating parameters, including “typicals,” must be validated for each customer application by customer’s technical experts. NXP does not convey any license under its patent rights nor the rights of others. NXP sells products pursuant to standard terms and conditions of sale, which can be found at the following address: nxp.com/SalesTermsandConditions.

Right to make changes - NXP Semiconductors reserves the right to make changes to information published in this document, including without limitation specifications and product descriptions, at any time and without notice. This document supersedes and replaces all information supplied prior to the publication hereof.

Security — Customer understands that all NXP products may be subject to unidentified or documented vulnerabilities. Customer is responsible for the design and operation of its applications and products throughout their lifecycles to reduce the effect of these vulnerabilities on customer’s applications and products. Customer’s responsibility also extends to other open and/or proprietary technologies supported by NXP products for use in customer’s applications. NXP accepts no liability for any vulnerability. Customer should regularly check security updates from NXP and follow up appropriately. Customer shall select products with security features that best meet rules, regulations, and standards of the intended application and make the ultimate design decisions regarding its products and is solely responsible for compliance with all legal, regulatory, and security related requirements concerning its products, regardless of any information or support that may be provided by NXP. NXP has a Product Security Incident Response Team (PSIRT) (reachable at PSIRT@nxp.com) that manages the investigation, reporting, and solution release to security vulnerabilities of NXP products.

NXP, the NXP logo, NXP SECURE CONNECTIONS FOR A SMARTER WORLD, COOLFLUX, EMBRACE, GREENCHIP, HITAG, ICODE, JCOP, LIFE, VIBES, MIFARE, MIFARE CLASSIC, MIFARE DESFire, MIFARE PLUS, MIFARE FLEX, MANTIS, MIFARE ULTRALIGHT, MIFARE4MOBILE, MIGLO, NTAG, ROADLINK, SMARTLX, SMARTMX, STARPLUG, TOPFET, TRENCHMOS, UCODE, Freescale, the Freescale logo, AltiVec, CodeWarrior, ColdFire, ColdFire+, the Energy Efficient Solutions logo, Kinetis, Layerscape, MagniV, mobileGT, PEG, PowerQUICC, Processor Expert, QorIQ, QorIQ Qonverge, SafeAssure, the SafeAssure logo, StarCore, Symphony, VortiQa, Vybrid, Airfast, BeeKit, BeeStack, CoreNet, Flexis, MXC, Platform in a Package, QUICC Engine, Tower, TurboLink, EdgeScale, EdgeLock, eIQ, and Immersive3D are trademarks of NXP B.V. All other product or service names are the property of their respective owners. AMBA, Arm, Arm7, Arm7TDMI, Arm9, Arm11, Artisan, big.LITTLE, Cordio, CoreLink, CoreSight, Cortex, DesignStart, DynamIQ, Jazelle, Keil, Mali, Mbed, Mbed Enabled, NEON, POP, RealView, SecurCore, Socrates, Thumb, TrustZone, ULINK, ULINK2, ULINK-ME, ULINK-PLUS, ULINKpro, µVision, Versatile are trademarks or registered trademarks of Arm Limited (or its subsidiaries) in the US and/or elsewhere. The related technology may be protected by any or all of patents, copyrights, designs and trade secrets. All rights reserved. Oracle and Java are registered trademarks of Oracle and/or its affiliates. The Power Architecture and Power.org word marks and the Power and Power.org logos and related marks are trademarks and service marks licensed by Power.org. M, M Mobileye and other Mobileye trademarks or logos appearing herein are trademarks of Mobileye Vision Technologies Ltd. in the United States, the EU and/or other jurisdictions.

© NXP B.V. 2018-2021.

All rights reserved.

For more information, please visit: <http://www.nxp.com>

For sales office addresses, please send an email to: salesaddresses@nxp.com

Date of release: 2018 年 2 月 20 日

Document identifier: AN12126

